

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283147

(43)Date of publication of application : 27.10.1995

(51)Int.Cl. H01L 21/205

G02F 1/136

H01L 21/31

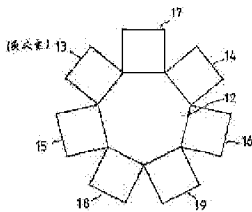
H01L 29/786

H01L 21/336

(21)Application number : 06-076737 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.04.1994 (72)Inventor : FUKUDA KAICHI

(54) THIN FILM FORMING METHOD



(57)Abstract:

PURPOSE: To efficiently form thin films by a method wherein, when thin films of different types are formed on the same substrate using a plurality of reaction

chambers, the number of sheets of film-forming substrates, with which the period of cleaning of the reaction chambers is prescribed, is different by the type of the thin film to be formed.

CONSTITUTION: The reaction chamber 16 of a single wafer type plasma CVD device is used for formation of a P-doped a-Si film, three reaction chambers 13, 14 and 15 are used for formation of an SiNx film and an a-Si film having the thickness of about seven times of the thickness of the p-doped a-Si film, and the above-mentioned two films are formed in parallel on a glass insulated substrate. As a result, even when the number of films formed until the cleaning chamber 16 is cleaned is increased to about six times the number of films of the reaction chambers 13, 14 and 15, the integrated film thickness can be less than the integrated film thickness of the reaction chambers 13, 14 and 15. As a result, the throughput of film formation can be improved, and a number of substrates can be treated by decreasing the frequency of cleaning of the reaction chambers.

LEGAL STATUS

[Date of request for examination]	12.04.2001
[Date of sending the examiner's decision of rejection]	18.03.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2003-006550
[Date of requesting appeal against]	17.04.2003

examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Single-wafer-processing plasma membrane formation equipment equipped with two or more reaction chambers which can be cleaned by plasma etching is used. In the thin film formation approach which carries out laminating formation of the thin film of a class which cleans a reaction chamber periodically after forming membranes on a fixed number of substrates in two or more above-mentioned reaction chambers, respectively, and is different on the same substrate using two or more above-mentioned reaction chambers The thin film formation approach characterized by making it change with classes of thin film which forms the number of sheets of the membrane formation substrate which specifies the period of cleaning of the above-mentioned reaction chamber.

[Claim 2] Single-wafer-processing plasma membrane formation equipment equipped with two or more reaction chambers which can be cleaned by plasma etching is used. A reaction chamber is cleaned periodically [after forming membranes on a fixed number of substrates in two or more above-mentioned reaction chambers, respectively]. In the thin film formation approach which carries out laminating formation of two or more kinds of thin films with which thickness differs on the same substrate using two or more above-mentioned

reaction chambers The thin film formation approach characterized by making [many / when forming the thin film of thickness to the case where the thick film of thickness is formed for the number of sheets of the membrane formation substrate which specifies the period of cleaning of the above-mentioned reaction chamber] it.

[Claim 3] The thin film formation approach according to claim 2 characterized by making [many] the number of reaction chambers which forms the thick film of thickness to the number of reaction chambers which forms the thin film of thickness.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the thin film formation approach effective in manufacture of the thin film transistor which starts the thin film formation approach, especially is used as a switching element of an active-matrix mold liquid crystal display component.

[0002]

[Description of the Prior Art] From the large capacity which pointed to a television display , graphic display , etc. , and the point of densification , the display device using liquid crystal carries out opposite arrangement of the two substrates with which orientation processing by rubbing was performed , for example at parallel so that the direction of orientation may make 90 degrees mutually , and the so-called twist nematic type (TN mold) of active matrix mold liquid crystal display component which made the nematic type liquid crystal constituent pinch between this opposite substrate attracts attention . With this active-matrix mold liquid crystal display component, the method which performs actuation and control of each pixel with a solid-state-switching component so that the display of high contrast without a cross talk may be obtained is adopted. as the solid-state-switching component, the display of a transparency mold is possible and large-area-izing is easy -- etc. -- the thin film transistor (TFT) of the amorphous silicon (a-Si) system formed on the transparence insulating substrate is used from the reason. And this a-Si a-Si which is a barrier layer at TFT of a system The film is inserted and many reverse SUTAGADO structures which have arranged the gate electrode in the lower layer and have arranged the source electrode and the drain electrode in the upper layer are used.

[0003] The former and this a-Si The silicon nitride (Si N_x) film of TFT of a system, and a-Si The film and (Phosphorus P) dope a-Si The film etc. carries the glass insulating substrate of 6-8 sheets in a tray at once, and is formed by the in-line type plasma-CVD equipment which conveys and carries out consecutive processing of this tray.

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, an active-matrix mold liquid crystal display component is a-Si as a solid-state-switching component. TFT of a system is used. The former and this a-Si Si N_x of TFT of a system The film and a-Si The film and P dope a-Si The film etc. is formed by the in-line type plasma-CVD equipment which conveys and carries out consecutive processing of the tray which carried the glass insulating substrate of 6-8 sheets

at once. However, although this in-line type plasma-CVD equipment is excellent in mass production nature, an installation tooth space huge [equipment] and big is required for it. Moreover, the film adheres also to a conveyance tray, and this adhesion film separates, it becomes the cause of particle, and a yield is reduced. Since it is necessary to cool equipment periodically in order to prevent peeling of the film which furthermore adhered to the equipment wall, and it is necessary to clean, there are problems, like the operating ratio of equipment is low.

[0005] By the way, the sheet process which conveys only a substrate in the field of semiconductor device manufacture, without using a tray, and processes one substrate at a time in one reaction chamber is in use. Usually, in this sheet process, membrane formation and cleaning of the reaction chamber by plasma etching are performed periodically by turns.

[0006] Then, a-Si using a recent-years and large-sized glass insulating substrate Development which introduces this sheet process into manufacture of TFT of a system is furthered. It is possible to be able to miniaturize a processor and to make an installation tooth space small in this sheet process. Moreover, generating of particle can be controlled by conveying only a substrate, without using a tray. It not only can reduce particle, but by furthermore cleaning a reaction chamber by plasma etching, the large improvement in the operating ratio of equipment is expected.

[0007] By the way, a-Si They are gate dielectric film and intrinsic a-Si to one of the main structures of TFT of a system. The film and P dope a-Si There is a type which carries out continuation formation of the film, without using a channel protective coat. Such intrinsic a-Si of TFT The film and P dope a-Si Membranous membrane formation is intrinsic a-Si. In order to prevent membranous P contamination, it is necessary to form membranes in a respectively different reaction chamber. Therefore, they are gate dielectric film, the intrinsic a-Si film, and P dope a-Si with single-wafer-processing plasma-CVD equipment. When carrying out laminating formation of the film continuously, as the most efficient formation approach, they are gate dielectric film and intrinsic a-Si. It is P dope a-

Si in another reaction chamber after forming the film continuously at a reaction-of-identity room. It is good to form the film. In this case, this kind of TFT is intrinsic a-Si. The film is 0.3 micrometers. The thickness of extent is required, on the other hand it is P dope a-Si. Membranous thickness is 0.05 micrometers. It is as thin as extent. Therefore, two or more reaction chambers are established in single-wafer-processing plasma-CVD equipment, among those they are many reaction chambers Gate dielectric film and intrinsic a-Si They are reaction chambers fewer than allocation and it to membranous membrane formation P dope a-Si By assigning membranous membrane formation, the operating ratio of single-wafer-processing plasma-CVD equipment can be raised.

[0008] However, when it does in this way, they are gate dielectric film and intrinsic a-Si. By balance with membranous membrane formation, it is P dope a-Si. It is cleaning of the reaction chamber about the film, must process many substrates for a few reaction chambers, and according to plasma etching Gate dielectric film and intrinsic a-Si If it is carrying out by the same frequency as the processing number of sheets of the substrate of the reaction chamber which forms the film, the operating ratio of equipment falls and trouble is caused to production.

[0009] This invention is made in view of the above-mentioned trouble, and aims at acquiring the thin film formation approach which can form efficiently the thin film which constitutes a thin film transistor etc. using single-wafer-processing plasma-CVD equipment (single-wafer-processing plasma membrane formation equipment).

[0010]

[Means for Solving the Problem] After forming membranes on a fixed number of substrates in two or more of the reaction chambers, respectively, a reaction chamber cleaned periodically using single-wafer-processing plasma membrane-formation equipment equipped with two or more reaction chambers which can be cleaned by plasma etching, and you made it change with classes of thin film which forms the number of sheets of the membrane-formation substrate which

specifies the period of cleaning of a reaction chamber in the thin film formation approach which carries out laminating formation of the thin film of a class which is different on the same substrate using two or more reaction chambers.

[0011] Moreover, it was made [many] when the thin film of thickness was formed to the case where the thick film of thickness is formed for the number of sheets of the membrane formation substrate which specifies the period of cleaning of a reaction chamber when carrying out laminating formation of two or more kinds of thin films with which thickness differs on the same substrate.

[0012] Furthermore, the number of reaction chambers which forms the thick film of thickness to the number of reaction chambers which forms the thin film of thickness was made [many].

[0013]

[Function] As mentioned above, single-wafer-processing plasma membrane formation equipment equipped with two or more reaction chambers which can be cleaned by plasma etching is used. When carrying out laminating formation of the thin film of a different class on the same substrate, or when laminating formation of two or more kinds of thin films with which thickness differs on the same substrate is carried out, For example, a-Si Intrinsic a-Si of TFT of a system The film and P dope a-Si When the film is formed in a different reaction chamber, Intrinsic a-Si Processing number of sheets and P dope a-Si until the reaction chamber which forms the film cleans The thin latter of thickness is made [many] to the thick former of thickness for processing number of sheets until the reaction chamber which forms the film cleans. If the frequency of cleaning of a reaction chamber is lessened, the throughput of the latter membrane formation can improve and many substrates can be processed in few reaction chambers.

[0014]

[Example] Hereafter, with reference to a drawing, this invention is explained based on an example.

[0015] TFT used for drawing 1 as a switching element of the active-matrix mold liquid crystal display component concerning the one example is shown. The gate

electrode 2 of the predetermined configuration which consists of a molybdenum-tantalum (Mo-Ta) by which this TFT was formed on the 1 principal plane of the glass insulating substrate 1, 0.3 micrometers of thickness formed on the glass insulating substrate 1 so that this gate electrode 2 might be covered Gate dielectric film 3 which consists of silicon oxide (Si Ox) film, 0.05 micrometers of thickness formed on this gate dielectric film 3 corresponding to the above-mentioned gate electrode 2 Silicon nitride (Si Nx) film 4, This Si Nx 0.3 micrometers of thickness formed on the film 4 Intrinsic amorphous silicon (a-Si) film 5 (semi-conductor film), This a-Si 0.05 micrometers of thickness formed in parts other than the channel field on the film 5 Phosphorus dope amorphous silicon (P dope a-Si) film 6 (low resistance semi-conductor film), The source electrode 7 and the drain electrode 8 which consist of chromium (Cr) or aluminum (aluminum) formed in the source field and drain field on this P dope a-Si film 6, respectively, a-Si of the above-mentioned channel field It is 0.3 micrometers of wrap thickness about the film 5, the source electrode 7, and the drain electrode 8. Si Nx It consists of insulating protective coats 9 which consist of film. The source electrode 7 is connected to the pixel electrode 10 which consists of ITO (Indium Tin Oxide) by which laminating formation was carried out on gate dielectric film 3.

[0016] this TFT manufacture is shown in drawing 2 (a) -- as -- first -- the 1 principal-plane top of the glass insulating substrate 1 -- a sputtering technique -- Mo-Ta from -- the becoming metal membrane is formed and the gate electrode 2 of a predetermined configuration is formed by the photolithography method. It is 0.3 micrometers of thickness on the glass insulating substrate 1 so that the glass insulating substrate 1 in which this gate electrode 2 was formed next may be heated at 400 degrees C and the above-mentioned gate electrode 2 may be covered with an ordinary pressure heat CVD method. Si Ox The gate dielectric film 3 which consists of film is formed.

[0017] The glass insulating substrate 1 in which the above-mentioned gate electrode 2 and gate dielectric film 3 were formed by the single-wafer-processing

plasma-CVD equipment mentioned later next as shown in drawing 2 (b) is heated at 350 degrees C, and it is 0.05 micrometers of thickness on gate dielectric film 3 in a reaction-of-identity room. Si Nx The film 4 is formed and, subsequently it is this Si Nx. It is 0.3 micrometers of thickness on the film 4. a-Si The film 5 is formed. Subsequently, this Si Nx The film 4 and a-Si As the glass insulating substrate 1 in which the film 5 was formed is moved to another reaction chamber, without breaking a vacuum and it is shown in drawing 2 (c), it is above-mentioned a-Si. It is 0.05 micrometers of thickness on the film 5. P dope a-Si The film 6 is formed.

[0018] And Si Nx by which laminating membrane formation was carried out one by one on the above-mentioned gate dielectric film 3 The film 4 and a-Si The film 5 and P dope a-Si The predetermined configuration which has a channel field, a source field, and a drain field for the film 6 by the photolithography method as shown in drawing 2 (d) is processed. Then, the transparence electric conduction film which consists of ITO by the sputtering technique is formed, this transparence electric conduction film is processed by the photolithography method, and the pixel electrode 10 is formed in the predetermined location on gate dielectric film 3.

[0019] the glass insulating-substrate 1 top formed [electrode / 10 / above-mentioned / pixel] next -- a sputtering technique -- Cr Or aluminum etc. -- from -- the becoming metal membrane is formed. And this metal membrane is processed by the photolithography method, and as shown in drawing 2 (e), while forming in a source field the source electrode 7 connected to the pixel electrode 10, the drain electrode 8 is formed in a drain field. Then, P dope a-Si which is in these electrodes 7 and the channel field between eight by using this source electrode 7 and the drain electrode 8 as a mask as shown in drawing 2 (f) Etching removes the film 6. Then, it is 0.3 micrometers of thickness by the plasma-CVD method on the glass insulating substrate 1 in which the above-mentioned source electrode 7 and the drain electrode 8 were formed. Si Nx The film is formed, this Si N film is processed by the photolithography method, and as

shown in drawing 1, the wrap insulation protective coat 9 is formed for the source electrode 7, the drain electrode 8 and these electrodes 7, and the channel field between eight.

[0020] By the way, the above SiNx The film 4 and a-Si The film 5 and P-doped a-Si The single-wafer-processing plasma-CVD equipment shown in drawing 3 as an example is used for membrane formation of the film 6. This single-wafer-processing plasma-CVD equipment is equipped with the vacuum chamber 12 where the conveyance device in which a glass insulating substrate was conveyed was established in the center, and four reaction chambers 13-16, one heat chamber 17, and two taking-out entrance into a room 18 and 19 are arranged, and it is [built and] in that perimeter so that this vacuum chamber 12 may be surrounded. In each of that reaction chamber 13-16, as shown in drawing 4, RF electrode 22 and earth electrode 23 which were connected to RF generator 21 counter, and are arranged. The glass insulating substrate 1 is fixed to an opposed face with RF electrode 22 of this earth electrode 23. Moreover, the heater 24 which heats the fixed glass insulating substrate 1 to predetermined temperature is formed in this earth electrode 23. Moreover, the exhaustor 26 which consists of the roots-blower pump and dry pump for exhausting the inside of the gas transfer unit 25 which supplies the gas for membrane formation or cleaning of a silane (SiH_4), hydrogen (H_2), ammonia gas (NH_3), nitrogen (N_2), phosphorated hydrogen (PH_3), nitrogen fluoride (NF_3), an argon (Ar), etc., and a reaction chamber 13-16 is attached to each reaction chambers 13-16. On the other hand, in the vacuum chamber 12, a heat chamber 17, and the taking-out entrance into a room 18 and 19, it is N_2 , respectively. The gas transfer unit and exhaustor which supply gas are attached.

[0021] SiNx by this single-wafer-processing plasma-CVD equipment The film and a-Si The film and P-doped a-Si Membranous membrane formation carries in a glass insulating substrate to one of the taking-out entrance into a room 18 or 19, and conveys and heats it to a heat chamber 17 through the vacuum chamber 12. After heating for about 30 minutes, it conveys to a reaction chamber 13 through

the community room 12 again. And a glass insulating substrate is heated at 330 degrees C on the earth electrode 23 of this reaction chamber 13, and it is 0.03 micrometers of thickness one by one. Si Nx The film and 0.3 micrometers of thickness a-Si The film is formed. Next, it is this Si Nx. The film and a-Si The glass insulating substrate by which laminating membrane formation of the film was carried out is conveyed to a reaction chamber 16 through the community room 12. And a glass insulating substrate is heated at 300 degrees C on the earth electrode 23 of this reaction chamber 16, and it is 0.05 micrometers of thickness. P dope a-Si The film is formed. This P dope a-Si The glass insulating substrate by which the film was formed is taken out by one of the taking-out entrance into a room 18 or 19 through the community room 12 after that.

[0022] Thus, it is Si Nx by single-wafer-processing plasma-CVD equipment. The film and a-Si The film and P dope a-Si When forming the film, with the above-mentioned single-wafer-processing plasma-CVD equipment It is Si Nx about three reaction chambers 13, 14, and 15 among four reaction chambers 13-16. The film and a-Si It is used for membranous membrane formation and is one reaction chamber 16 P dope a-Si Use it for membranous membrane formation and it sets to each [these] reaction chambers 13-16. Each above-mentioned thin film is formed to a glass insulating substrate in juxtaposition. This is Si Nx. The film and a-Si Laminating thickness with the film is 0.35 micrometers. P dope a-Si 0.05 micrometers of membranous thickness It receives, and it is 7 times thick, compares with the membrane formation time amount of the P dope a-Si film, and is Si Nx. The film and a-Si Time amount is for this for a long time at membranous membrane formation.

[0023] Although each above-mentioned reaction chambers 13-16 perform cleaning after forming a thin film to the glass insulating substrate of the number of predetermined leaves After cleaning of each of these reaction chambers 13-16 takes out the glass insulating substrate which ended membrane formation from reaction chambers 13-16, respectively, the inside of a reaction chamber 13-16 -- a gas transfer unit 24 to NF₃, and Ar The gas for cleaning is introduced. etc. --

Plasma discharge is generated between RF electrode 22 and the earth electrode 23 which counters, and it is carried out by etching Si Nx which adhered in the reaction chamber 13-16, a-Si, and P dope a-Si. Ar introduced as this gas for cleaning Plasma discharge is stabilized, the electron density of plasma discharge is raised, and it is NF₃. It is for raising decomposition effectiveness. This NF₃ Ar It is Si Nx about the wall of reaction chambers 13-16, without carrying in a glass insulating substrate after etching by the used plasma discharge. The film etc. is coated and cleaning is ended.

[0024] Cleaning of such reaction chambers 13-16 requires the time amount for several minutes. Therefore, in order to raise the operating ratio of single-wafer-processing plasma-CVD equipment, to lessen the frequency of cleaning as much as possible is desired. It is especially the above Si Nx. The film and a-Si The film and P dope a-Si Like membranous membrane formation Si Nx The film and a-Si Three reaction chambers 13, 14, and 15 are used for membranous membrane formation, and it is P dope a-Si. When performing membranous membrane formation using one reaction chamber 16 This P dope a-Si The reaction chamber 16 which forms the film needs to lessen the frequency of cleaning as much as possible in order to have to form a thin film to a glass insulating substrate 3 times the number of sheets of other reaction chambers 13, 14, and 15.

[0025] now 13, 14, and 15, for example, reaction chambers, -- the glass insulating substrate of three sheets -- Si Nx The film and a-Si Whenever you carry out laminating membrane formation of the film, suppose that cleaning is boiled and is performed. on the other hand -- a reaction chamber 16 -- the glass insulating substrate of 18 sheets -- P dope a-Si Whenever you form the film, suppose that cleaning is boiled and is performed. Thus, even if it lengthens membrane formation number of sheets until a reaction chamber 16 cleans by 6 times the membrane formation number of sheets of each reaction chambers 13, 14, and 15, there is less addition thickness than the addition thickness of each reaction chambers 13, 14, and 15, and it ends.

[0026] To a table 1, it is P dope a-Si. Relation with the value of the frequency of

cleaning of the reaction chamber 16 which forms the film and the cascade screen organization potency force per unit time amount, i.e., a throughput, (throughput) is shown. The relation of this table 1 is Si Nx formed in the reaction chambers 13, 14, and 15 shown in a table 2. The film and a-Si P dope a-Si formed in the film and a reaction chamber 16 It asks on the basis of a membranous membrane formation rate, the etching (cleaning) rate of each reaction chambers 13-16, the time amount that conveyance of a glass insulating substrate takes, the pressure regulation time amount of reactant gas, and the time amount which coating after cleaning takes. As shown in this table 1, if the frequency of cleaning is made into 1 time per three glass insulating substrates, it can be formed to the glass insulating substrate of per hour 20 sheets, but if it is 1 time per 18 sheets, membranes can be formed to the glass insulating substrate of per hour 26 sheets.

[A table 1]

P ドープ a-Si を成膜する 反応室のクリーニング頻度	単位時間あたりの 積層膜形成能力
1回／1枚	13. 3枚／時
1回／3枚	20. 4枚／時
1回／6枚	23. 5枚／時
1回／9枚	24. 7枚／時
1回／18枚	26. 1枚／時

[A table 2]

成膜速度	g-SiNx a-Si Pドーパ a-Si	2000Å/分 2000Å/分 2000Å/分
エッチング速度	g-SiNx a-Si Pドーパ a-Si	2000Å/分 2000Å/分 2000Å/分
基板搬送速度		20秒
成膜前調圧時間	g-SiNx a-Si Pドーパ a-Si	30秒 30秒 30秒
成膜後排気時間	g-SiNx / a-Si Pドーパ a-Si	30秒 30秒
反応室クリーニング、オーバーエッチング時間		20秒
エッチング後の排気時間		30秒
反応室クリーニング後のオーバーコート時間		60秒
オーバーコート後の排気時間		30秒
g-SiNx / a-Si 反応室クリーニング頻度 1回/3枚		

[0027] With conventional in-line type plasma-CVD equipment, in order to clean a reaction chamber, cooling of equipment is required, and long duration was needed for cleaning. Therefore, even if the difference was in addition thickness by the reaction chamber, membrane formation at an overall reaction room was usually stopped, and it was cleaning at the coincidence term. on the other hand, with the above-mentioned single-wafer-processing plasma-CVD equipment By the self-cleaning function prepared every reaction chamber 13-16 According to the addition thickness of each reaction chambers 13-16, the frequency of cleaning is changeable. Above-mentioned a-Si Si Nx of TFT of a system The film and a-Si In membrane formation of the film and the P dope a-Si film P dope a-Si which carries out the ** rule of the throughput of the whole equipment By lessening the frequency of cleaning of the reaction chamber 16 which forms the

film, the throughput of the whole equipment can be raised substantially.

[0028] In addition, this invention is a-Si although the above-mentioned example explained the thin film transistor used as a switching element of an active-matrix mold liquid crystal display component. It is applicable also to thin film formation of the adhesion sensor of a system.

[0029]

[Effect of the Invention] Single-wafer-processing plasma membrane formation equipment equipped with two or more reaction chambers which can be cleaned by plasma etching is used. When carrying out laminating formation of the thin film of a different class on the same substrate, or when laminating formation of two or more kinds of thin films with which thickness differs on the same substrate is carried out, For example, when the intrinsic amorphous silicone film of the thin film transistor of an amorphous silicon system and a phosphorus dope amorphous silicone film are formed in a different reaction chamber, The thick latter is made [many]. processing number of sheets until the reaction chamber which forms processing number of sheets until the reaction chamber which forms an intrinsic amorphous silicone film cleans, and a phosphorus dope amorphous silicone film cleans -- the thick former of thickness -- receiving -- the film -- If the frequency of cleaning of a reaction chamber is lessened, the throughput of membrane formation can improve and many substrates can be processed in few reaction chambers. Consequently, the throughput of cascade screen formation as the whole single-wafer-processing plasma membrane formation equipment can be raised substantially.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the thin film transistor used as a switching element of the active-matrix mold liquid crystal display component concerning one example of this invention.

[Drawing 2] Drawing 2 (a) thru/or (f) are drawings for explaining the manufacture approach of the above-mentioned thin film transistor, respectively.

[Drawing 3] It is drawing showing the configuration of the single-wafer-processing plasma-CVD equipment concerning one example of this invention.

[Drawing 4] It is drawing showing the configuration of the reaction chamber of the above-mentioned single-wafer-processing plasma-CVD equipment.

[Description of Notations]

- 1 -- Glass insulating substrate
- 2 -- Gate electrode
- 3 -- Gate dielectric film
- 4 -- Silicon nitride film
- 5 -- Amorphous silicone film (semi-conductor film)
- 6 -- Phosphorus dope amorphous silicone film (low resistance semi-conductor film)
- 7 -- Source electrode
- 8 -- Train electrode
- 9 -- Insulating protective coat
- 10 -- Pixel electrode
- 13 -- Reaction chamber

- 14 -- Reaction chamber
- 15 -- Reaction chamber
- 16 -- Reaction chamber
- 17 -- Heat chamber
- 18 -- Taking-out entrance into a room
- 19 -- Taking-out entrance into a room
- 22 -- RF electrode
- 23 -- Earth electrode
- 25 -- Gas transfer unit
- 26 -- Exhauster

[Translation done.]

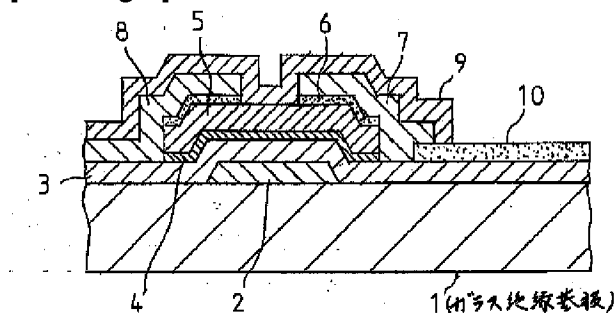
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

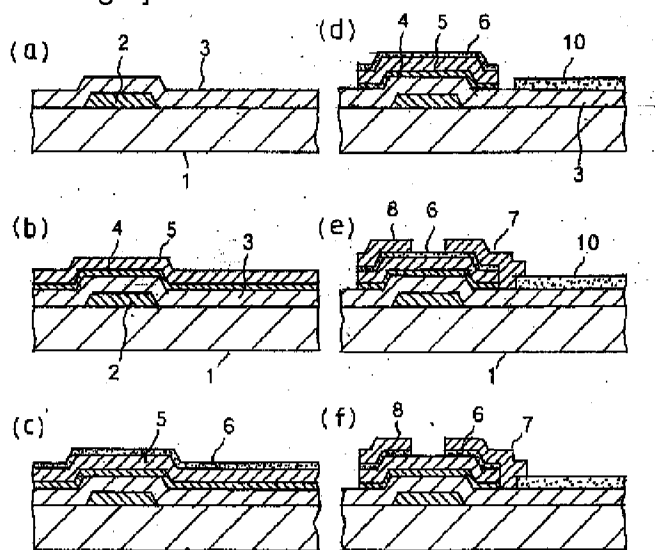
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

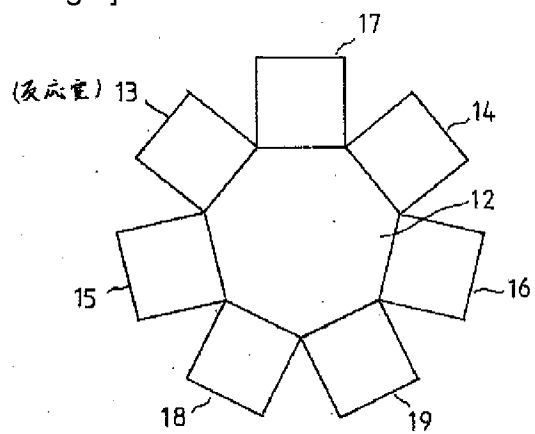
[Drawing 1]



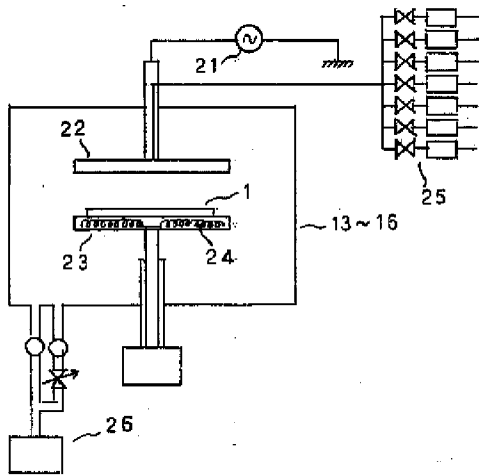
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-283147

(43)公開日 平成7年(1995)10月27日

(51)Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 1 L 21/205
G 0 2 F 1/136 5 0 0
H 0 1 L 21/31

H 0 1 L 21/ 31

C

D

審査請求 未請求 請求項の数3 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平6-76737

(22)出願日 平成6年(1994)4月15日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 福田 加一

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 弁理士 大胡 典夫

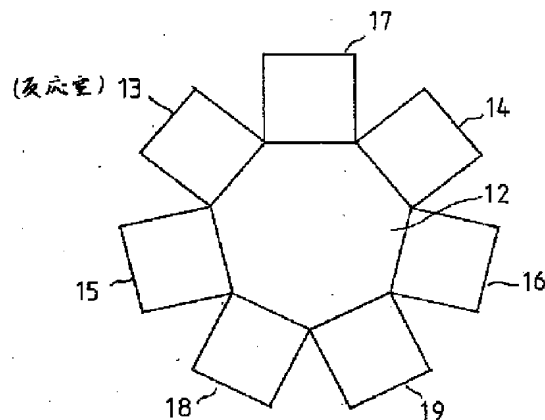
(54)【発明の名称】 薄膜形成方法

(57)【要約】

【目的】 薄膜トランジスタなどの薄膜を効率よく成膜することを目的とする。

【構成】 プラズマエッチングによりクリーニング可能な複数の反応室13～16を備える枚葉式プラズマ成膜装置を用い、複数の反応室においてそれぞれ一定数の基板上に成膜をおこなったのちに周期的に反応室のクリーニングをおこない、複数の反応室を使用して同一基板上に異なる種類の膜を積層形成する薄膜形成方法において、反応室のクリーニングの周期を規定する成膜基板の枚数を成膜する薄膜の種類により異ならしめた。

【効果】 装置全体の積層形成のスループットを向上させることができる。



【特許請求の範囲】

【請求項1】 プラズマエッチングによりクリーニング可能な複数の反応室を備える枚葉式プラズマ成膜装置を用い、上記複数の反応室においてそれぞれ一定数の基板上に成膜をおこなったのちに周期的に反応室のクリーニングをおこない、上記複数の反応室を使用して同一基板上に異なる種類の薄膜を積層形成する薄膜形成方法において、

上記反応室のクリーニングの周期を規定する成膜基板の枚数を成膜する薄膜の種類により異ならしめたことを特徴とする薄膜形成方法。 10

【請求項2】 プラズマエッチングによりクリーニング可能な複数の反応室を備える枚葉式プラズマ成膜装置を用い、上記複数の反応室においてそれぞれ一定数の基板上に成膜をおこなったのちに周期的に反応室のクリーニングをおこない、上記複数の反応室を使用して同一基板上に膜厚の異なる複数種類の薄膜を積層形成する薄膜形成方法において、

上記反応室のクリーニングの周期を規定する成膜基板の枚数を膜厚の厚い膜を成膜する場合に対して膜厚の薄い膜を成膜する場合に多くしたことを特徴とする薄膜形成方法。 20

【請求項3】 膜厚の薄い膜を成膜する反応室数に対して膜厚の厚い膜を成膜する反応室数を多くしたことを特徴とする請求項2記載の薄膜形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、薄膜形成方法に係り、特にアクティブマトリックス型液晶表示素子のスイッチング素子として用いられる薄膜トランジスタの製造に有効な薄膜形成方法に関する。 30

【0002】

【従来の技術】 液晶を用いた表示素子は、テレビ表示やグラフィックディスプレイなどを指向した大容量、高密度化の点から、たとえばラビングによる配向処理が施された2枚の基板を、配向方向が互いに90°をなすように平行に対向配置し、この対向基板間にネマチックタイプの液晶組成物を挟持させた、いわゆるツイストネマチック型(TN型)のアクティブマトリックス型液晶表示素子が注目されている。このアクティブマトリックス型液晶表示素子では、クロストークのない高コントラストの表示が得られるように各画素の駆動および制御を半導体スイッチング素子でおこなう方式が採用されている。その半導体スイッチング素子としては、透過型の表示が可能であり、また大面積化が容易であるなどの理由から、透明絶縁基板上に形成された非晶質シリコン(a-Si)系の薄膜トランジスタ(TFT)が用いられている。しかもこのa-Si系のTFTには、活性層であるa-Si膜を挟んで、下層にゲート電極、上層にソース電極およびドレイン電極を配置した逆スタガード構造が 40 50

多く用いられている。

【0003】 従来、このa-Si系のTFTの窒化シリコン(SiNx)膜、a-Si膜、燐(P)ドーパa-Si膜などは、一度に6~8枚のガラス絶縁基板をトレイに搭載し、このトレイを搬送して連続処理するインライン式プラズマCVD装置により形成されている。

【0004】

【発明が解決しようとする課題】 上記のように、アクティブマトリックス型液晶表示素子は、半導体スイッチング素子としてa-Si系のTFTが用いられている。従来、このa-Si系のTFTのSiNx膜、a-Si膜、Pドーパa-Si膜などは、一度に6~8枚のガラス絶縁基板を搭載したトレイを搬送して連続処理するインライン式プラズマCVD装置により形成されている。しかしこのインライン式プラズマCVD装置は、量産性にはすぐれているが、装置が巨大で大きな設置スペースが必要である。また搬送トレイにも膜が付着し、この付着膜が剥がれてパーティクルの原因となり、歩留を低下させる。さらに装置内壁に付着した膜の剥がれを防止するために、定期的に装置を冷却して、クリーニングをおこなう必要があるため、装置の稼働率が低い、などの問題がある。

【0005】 ところで、半導体素子製造の分野では、トレイを用いることなく基板のみを搬送し、一つの反応室で1度に1枚の基板を処理する枚葉プロセスが主流となっている。通常この枚葉プロセスでは、成膜とプラズマエッチングによる反応室のクリーニングとを交互に周期的におこなっている。

【0006】 そこで、近年、大型ガラス絶縁基板を用いるa-Si系のTFTの製造に、この枚葉プロセスを導入する開発が進められている。この枚葉プロセスでは、処理装置が小型化でき、設置スペースを小さくすることが可能である。またトレイを用いることなく基板のみを搬送することにより、パーティクルの発生を抑制できる。さらにプラズマエッチングにより反応室をクリーニングすることにより、パーティクルを低減できるばかりでなく、装置の稼働率の大幅な向上が見込まれる。

【0007】 ところで、a-Si系のTFTの主要構造の一つに、ゲート絶縁膜、真性a-Si膜、Pドーパa-Si膜を、チャネル保護膜を用いることなく連続形成するタイプがある。このようなTFTの真性a-Si膜およびPドーパa-Si膜の成膜は、真性a-Si膜のP汚染を防ぐため、それぞれ別の反応室で成膜する必要がある。したがって枚葉式プラズマCVD装置でゲート絶縁膜、真性a-Si膜、Pドーパa-Si膜を連続して積層形成する場合、最も効率的な形成方法としては、ゲート絶縁膜と真性a-Si膜とを同一反応室で連続して成膜したのち、別の反応室でPドーパa-Si膜を成膜するようにするとよい。この場合、この種のTFTは、真性a-Si膜は、0.3μm程度の膜厚が必要で

あり、これに対して、Pドーパ $a-Si$ 膜の膜厚は、 $0.05\mu m$ 程度と薄い。したがって枚葉式プラズマCVD装置に複数の反応室を設け、そのうち、多くの反応室をゲート絶縁膜と真性 $a-Si$ 膜の成膜に割当て、それよりも少ない反応室をPドーパ $a-Si$ 膜の成膜に割当てることにより、枚葉式プラズマCVD装置の稼働率を向上させることができる。

【0008】しかしこのようにすると、ゲート絶縁膜および真性 $a-Si$ 膜の成膜とのバランスにより、Pドーパ $a-Si$ 膜については、数少ない反応室を多数の基板を処理しなければならず、プラズマエッチングによる反応室のクリーニングをゲート絶縁膜および真性 $a-Si$ 膜を成膜する反応室の基板の処理枚数と同じ頻度でおこなっているとは、装置の稼働率が低下し、生産に支障をきたす。

【0009】この発明は、上記問題点を鑑みてなされたものであり、枚葉式プラズマCVD装置（枚葉式プラズマ成膜装置）を用いて、薄膜トランジスタなどを構成する薄膜を効率よく成膜できる薄膜形成方法を得ることを目的とする。

【0010】

【課題を解決するための手段】プラズマエッチングによりクリーニング可能な複数の反応室を備える枚葉式プラズマ成膜装置を用い、その複数の反応室においてそれぞれ一定数の基板上に成膜をおこなったのちに周期的に反応室のクリーニングをおこない、複数の反応室を使用して同一基板上に異なる種類の薄膜を積層形成する薄膜形成方法において、反応室のクリーニングの周期を規定する成膜基板の枚数を成膜する薄膜の種類により異ならしめた。

【0011】また、同一基板上に膜厚の異なる複数種類の薄膜を積層形成する場合、反応室のクリーニングの周期を規定する成膜基板の枚数を膜厚の厚い膜を成膜する場合に対して膜厚の薄い膜を成膜する場合に多くした。

【0012】さらに、膜厚の薄い膜を成膜する反応室数に対して膜厚の厚い膜を成膜する反応室数を多くした。

【0013】

【作用】上記のように、プラズマエッチングによりクリーニング可能な複数の反応室を備える枚葉式プラズマ成膜装置を用いて、同一基板上に異なる種類の薄膜を積層形成する場合、あるいは同一基板上に膜厚の異なる複数種類の薄膜を積層形成する場合、たとえば $a-Si$ 系のTFTの真性 $a-Si$ 膜とPドーパ $a-Si$ 膜を異なる反応室で成膜する場合、真性 $a-Si$ 膜を成膜する反応室のクリーニングするまでの処理枚数とPドーパ $a-Si$ 膜を成膜する反応室のクリーニングするまでの処理枚数とを、膜厚の厚い前者に対して膜厚の薄い後者を多くして、反応室のクリーニングの頻度を少なくすると、後者の成膜の処理能力が向上し、少ない反応室で多数の基板を処理することができる。

【0014】

【実施例】以下、図面を参照してこの発明を実施例に基づいて説明する。

【0015】図1にその一実施例に係るアクティブマトリックス型液晶表示素子のスイッチング素子として用いられるTFTを示す。このTFTは、ガラス絶縁基板1の一主面上に形成されたモリブデン—タンタル($Mo-Ta$)からなる所定形状のゲート電極2と、このゲート電極2を覆うようにガラス絶縁基板1上に形成された膜厚 $0.3\mu m$ の酸化シリコン($SiOx$)膜からなるゲート絶縁膜3と、上記ゲート電極2に対応してこのゲート絶縁膜3上に形成された膜厚 $0.05\mu m$ の窒化シリコン($SiNx$)膜4と、この $SiNx$ 膜4上に形成された膜厚 $0.3\mu m$ の真性非晶質シリコン($a-Si$)膜5（半導体膜）と、この $a-Si$ 膜5上のチャネル領域以外の部分に形成された膜厚 $0.05\mu m$ のPドーパ非晶質シリコン(Pドーパ $a-Si$)膜6（低抵抗半導体膜）と、このPドーパ $a-Si$ 膜6上のソース領域およびドレイン領域にそれぞれ形成されたクロム(Cr)またはアルミニウム(Al)などからなるソース電極7およびドレイン電極8と、上記チャネル領域の $a-Si$ 膜5、ソース電極7およびドレイン電極8を覆う膜厚 $0.3\mu m$ の $SiNx$ 膜からなる絶縁保護膜9とから構成されている。そのソース電極7は、ゲート絶縁膜3上に積層形成されたITO(Indium Tin Oxide)からなる画素電極10に接続されている。

【0016】このTFT製造は、図2(a)に示すように、まずガラス絶縁基板1の一主面上にスパッター法により $Mo-Ta$ からなる金属膜を成膜し、フォトリソグラフィ法により所定形状のゲート電極2を形成する。つぎにこのゲート電極2の形成されたガラス絶縁基板1を $400^{\circ}C$ に加熱し、常圧熱CVD法により上記ゲート電極2を覆うようにガラス絶縁基板1上に膜厚 $0.3\mu m$ の $SiOx$ 膜からなるゲート絶縁膜3を形成する。

【0017】つぎに後述する枚葉式プラズマCVD装置により、図2(b)に示すように、上記ゲート電極2およびゲート絶縁膜3の形成されたガラス絶縁基板1を $350^{\circ}C$ に加熱し、同一反応室でゲート絶縁膜3上に膜厚 $0.05\mu m$ の $SiNx$ 膜4を成膜し、ついでこの $SiNx$ 膜4上に膜厚 $0.3\mu m$ の $a-Si$ 膜5を成膜する。ついでこの $SiNx$ 膜4および $a-Si$ 膜5の形成されたガラス絶縁基板1を真空を破ることなく別の反応室に移して、図2(c)に示すように、上記 $a-Si$ 膜5上に膜厚 $0.05\mu m$ のPドーパ $a-Si$ 膜6を成膜する。

【0018】そして上記ゲート絶縁膜3上に順次積層成膜された $SiNx$ 膜4、 $a-Si$ 膜5およびPドーパ $a-Si$ 膜6を、フォトリソグラフィ法により、図2(d)に示すように、チャネル領域、ソース領域、ドレイン領域をもつ所定形状に加工する。その後、スパッタ

一法によりITOからなる透明導電膜を成膜し、この透明導電膜をフォトリソグラフィ法により加工して、ゲート絶縁膜3上の所定位置に画素電極10を形成する。

【0019】つぎに上記画素電極10などの形成されたガラス絶縁基板1上に、スパッター法によりCrまたはAlなどからなる金属膜を成膜する。そしてこの金属膜をフォトリソグラフィ法により加工して、図2(e)に示すように、ソース領域に画素電極10に接続されたソース電極7を形成するとともに、ドレイン領域にドレイン電極8を形成する。その後、図2(f)に示すように、このソース電極7およびドレイン電極8をマスクとして、これら電極7、8間のチャンネル領域にあるPドーパ-Si膜6をエッチングにより除去する。その後、上記ソース電極7およびドレイン電極8の形成されたガラス絶縁基板1上に、プラズマCVD法により膜厚0.3 μm のSiNx膜を成膜し、このSiNx膜をフォトリソグラフィ法により加工して、図1に示したように、ソース電極7、ドレイン電極8およびこれら電極7、8間のチャンネル領域を覆う絶縁保護膜9を形成する。

【0020】ところで、上記SiNx膜4、a-Si膜5およびPドーパ-Si膜6の成膜には、図3に一例として示す枚葉式プラズマCVD装置が用いられる。この枚葉式プラズマCVD装置は、中央にガラス絶縁基板を搬送する搬送機構が設けられた真空の共通室12を備え、この共通室12を取囲むように、その周囲に4つの反応室13~16と1つの加熱室17と2つの搬出入室18、19とが配置されたている。その各反応室13~16内には、図4に示すように、高周波電源21に接続された高周波電極22および接地電極23が対向して配置されている。ガラス絶縁基板1は、この接地電極23の高周波電極22との対向面に固定される。またこの接地電極23には、固定されたガラス絶縁基板1を所定温度に加熱するヒーター24が設けられている。また各反応室13~16には、シラン(SiH₄)、水素(H₂)、アンモニアガス(NH₃)、窒素(N₂)、フォスフィン(PH₃)、弗化窒素(NF₃)、アルゴン(Ar)などの成膜またはクリーニング用ガスを供給するガス供給装置25、および反応室13~16内を排気するためのルーツブローポンプおよびドライポンプからなる排気装置26が付設されている。一方、共通室12、加熱室17および搬出入室18、19には、それぞれN₂ガスを供給するガス供給装置および排気装置が付設されている。

【0021】この枚葉式プラズマCVD装置によるSiNx膜、a-Si膜およびPドーパ-Si膜の成膜は、ガラス絶縁基板をいずれか一方の搬出入室18または19に搬入し、共通室12を経て加熱室17に搬送して加熱する。約30分加熱したのち、再び共通室12を経て、たとえば反応室13に搬送する。そしてこの反応室13の接地電極23上でガラス絶縁基板を330℃に

加熱して、順次膜厚0.03 μm のSiNx膜および膜厚0.3 μm のa-Si膜を成膜する。つぎにこのSiNx膜およびa-Si膜の積層成膜されたガラス絶縁基板を、共通室12を経て、たとえば反応室16に搬送する。そしてこの反応室16の接地電極23上でガラス絶縁基板を300℃に加熱して、膜厚0.05 μm のPドーパ-Si膜を成膜する。このPドーパ-Si膜の成膜されたガラス絶縁基板は、その後、共通室12を経て、いずれか一方の搬出入室18または19に搬出される。

【0022】このように枚葉式プラズマCVD装置によりSiNx膜、a-Si膜およびPドーパ-Si膜を成膜する場合、上記枚葉式プラズマCVD装置では、4つの反応室13~16のうち、3つの反応室13、14、15をSiNx膜およびa-Si膜の成膜に使用し、1つの反応室16をPドーパ-Si膜の成膜に使用し、これら各反応室13~16において、並列的にガラス絶縁基板に上記各薄膜を成膜する。これは、SiNx膜とa-Si膜との積層膜厚が0.35 μm と、Pドーパ-Si膜の膜厚0.05 μm に対して7倍も厚く、Pドーパ-Si膜の成膜時間に比べ、SiNx膜およびa-Si膜の成膜に時間が長くなるためである。

【0023】上記各反応室13~16は、所定枚数のガラス絶縁基板に薄膜を成膜したのち、クリーニングをおこなうが、この各反応室13~16のクリーニングは、それぞれ反応室13~16から成膜を終了したガラス絶縁基板を搬出したのち、反応室13~16内にガス供給装置24からNF₃、Arなどのクリーニング用ガスを導入し、高周波電極22および対向する接地電極23間にプラズマ放電を発生させて、反応室13~16内に付着したSiNx、a-Si、Pドーパ-Siをエッチングすることによりおこなわれる。このクリーニング用ガスとして導入されるArは、プラズマ放電を安定化し、プラズマ放電の電子密度を高めて、NF₃の分解効率を向上させるためである。このNF₃とArを用いたプラズマ放電によるエッチング後、ガラス絶縁基板を搬入することなく、反応室13~16の内壁をSiNx膜などコーティングしてクリーニングを終了する。

【0024】このような反応室13~16のクリーニングは、数分の時間がかかる。したがって枚葉式プラズマCVD装置の稼働率を向上させるためには、クリーニングの頻度をできるだけ少なくすることが望まれる。特に上記SiNx膜、a-Si膜およびPドーパ-Si膜の成膜のように、SiNx膜およびa-Si膜の成膜に3つの反応室13、14、15を使用し、Pドーパ-Si膜の成膜を1つの反応室16を使用しておこなう場合は、このPドーパ-Si膜を成膜する反応室16は、他の反応室13、14、15の3倍の枚数のガラス絶縁基板に薄膜を成膜しなければならないため、クリー

ニングの頻度をできるだけ少なくすることが必要である。

【0025】いま、たとえば反応室13, 14, 15については、3枚のガラス絶縁基板にSiNx膜とa-Si膜を積層成膜するごとにクリーニングをにおこなうとする。これに対して、反応室16については、18枚のガラス絶縁基板にPドーパ-Si膜を成膜するごとにクリーニングをにおこなうとする。このように反応室16のクリーニングするまでの成膜枚数を各反応室13, 14, 15の成膜枚数の6倍に伸ばしても、積算膜厚は、各反応室13, 14, 15の積算膜厚よりも少なくて済む。

【0026】表1に、Pドーパ-Si膜を成膜する反応室16のクリーニングの頻度と単位時間あたりの積層膜形成能力、すなわちスループット（throughput）の値との関係を示す。この表1の関係は、表2に示す反応室13, 14, 15で成膜されるSiNx膜、a-Si膜および反応室16で成膜されるPドーパ-Si膜の成膜速度、各反応室13～16のエッチング（クリーニング）速度、ガラス絶縁基板の搬送に要する時間、反応ガ*20

*スの調圧時間、クリーニング後のコーティングに要する時間を基礎に求めたものである。この表1からわかるように、クリーニングの頻度を、ガラス絶縁基板3枚につき1回とすると、毎時20枚のガラス絶縁基板に成膜できるが、18枚につき1回とすると、毎時26枚のガラス絶縁基板に成膜することができるようになる。

【表1】

Pドーパ-Siを成膜する 反応室のクリーニング頻度	単位時間あたりの 積層膜形成能力
1回/1枚	13. 3枚/時
1回/3枚	20. 4枚/時
1回/6枚	23. 5枚/時
1回/9枚	24. 7枚/時
1回/18枚	26. 1枚/時

【表2】

成膜速度	g-SiNx a-Si Pドーパ-Si	2000Å/分 2000Å/分 2000Å/分
エッチング速度	g-SiNx a-Si Pドーパ-Si	2000Å/分 2000Å/分 2000Å/分
基板搬送速度		20秒
成膜前調圧時間	g-SiNx a-Si Pドーパ-Si	30秒 30秒 30秒
成膜後排気時間	g-SiNx/a-Si Pドーパ-Si	30秒 30秒
反応室クリーニング、オーバーエッチング時間		20秒
エッチング後の排気時間		30秒
反応室クリーニング後のオーバーコート時間		60秒
オーバーコート後の排気時間		30秒
g-SiNx/a-Si 反応室クリーニング頻度		1回/3枚

【0027】従来のインライン式プラズマCVD装置では、反応室をクリーニングするために装置の冷却が必要であり、クリーニングに長時間を必要とした。そのため、反応室により積算膜厚に違いがあっても、通常全反

応室での成膜を中止して同時期にクリーニングをこなっていた。これに対し、上記枚葉式プラズマCVD装置では、各反応室13～16ごとに設けられたセルフクリーニング機能により、各反応室13～16の積算膜厚に

応じて、クリーニングの頻度を変えることができ、上述のa-Si系のTFTのSiNx膜、a-Si膜およびPドーパa-Si膜の成膜では、装置全体のスループットを律則するPドーパa-Si膜を成膜する反応室16のクリーニングの頻度を少なくすることにより、装置全体のスループットを大幅に向上させることができる。

【0028】なお、上記実施例では、アクティブマトリックス型液晶表示素子のスイッチング素子として用いられる薄膜トランジスタについて説明したが、この発明は、a-Si系の密着センサーの薄膜形成にも適用可能である。

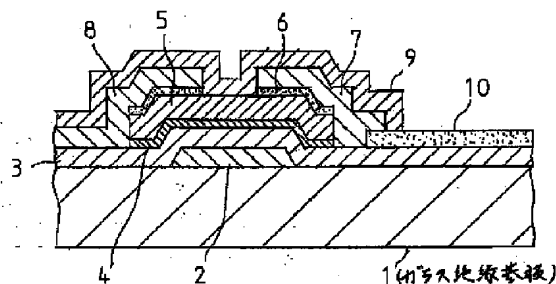
【0029】

【発明の効果】プラズマエッチングによりクリーニング可能な複数の反応室を備える枚葉式プラズマ成膜装置を用いて、同一基板上に異なる種類の薄膜を積層形成する場合、あるいは同一基板上に膜厚の異なる複数種類の薄膜を積層形成する場合、たとえば非晶質シリコン系の薄膜トランジスタの真性非晶質シリコン膜と燐ドーパ非晶質シリコン膜を異なる反応室で成膜する場合、真性非晶質シリコン膜を成膜する反応室のクリーニングするまでの処理枚数と燐ドーパ非晶質シリコン膜を成膜する反応室のクリーニングするまでの処理枚数とを、膜厚の厚い前者に対して膜厚い後者的方を多くして、反応室のクリーニングの頻度を少なくすると、成膜の処理能力が向上し、少ない反応室で多数の基板を処理することができる。その結果、枚葉式プラズマ成膜装置全体としての積層膜形成のスループットを大幅に向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るアクティブマトリッ

【図1】



クス型液晶表示素子のスイッチング素子として用いられる薄膜トランジスタの構成を示す図である。

【図2】図2(a)ないし(f)はそれぞれ上記薄膜トランジスタの製造方法を説明するための図である。

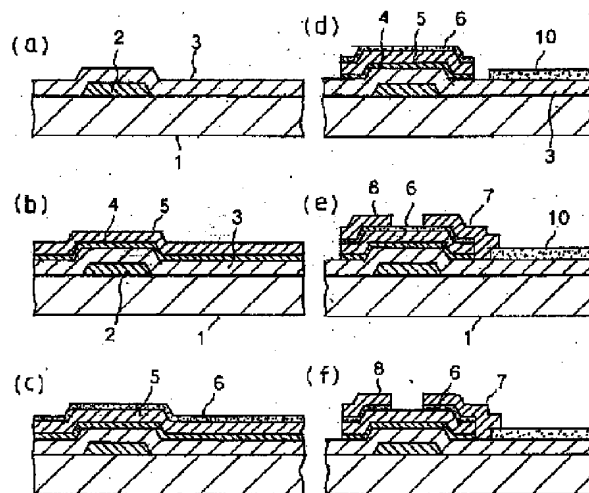
【図3】この発明の一実施例に係る枚葉式プラズマCVD装置の構成を示す図である。

【図4】上記枚葉式プラズマCVD装置の反応室の構成を示す図である。

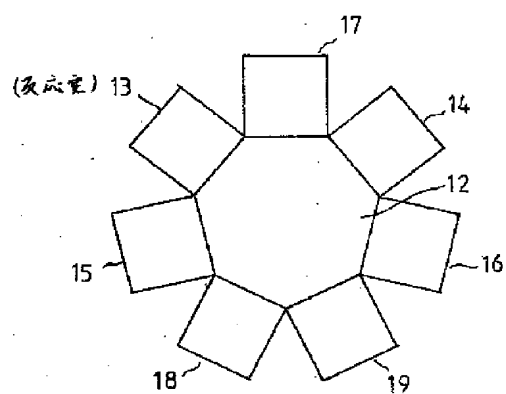
【符号の説明】

- 1…ガラス絶縁基板
- 2…ゲート電極
- 3…ゲート絶縁膜
- 4…窒化シリコン膜
- 5…非晶質シリコン膜（半導体膜）
- 6…燐ドーパ非晶質シリコン膜（低抵抗半導体膜）
- 7…ソース電極
- 8…ドレイン電極
- 9…絶縁保護膜
- 10…画素電極
- 13…反応室
- 14…反応室
- 15…反応室
- 16…反応室
- 17…加熱室
- 18…搬出入室
- 19…搬出入室
- 22…高周波電極
- 23…接地電極
- 25…ガス供給装置
- 26…排気装置

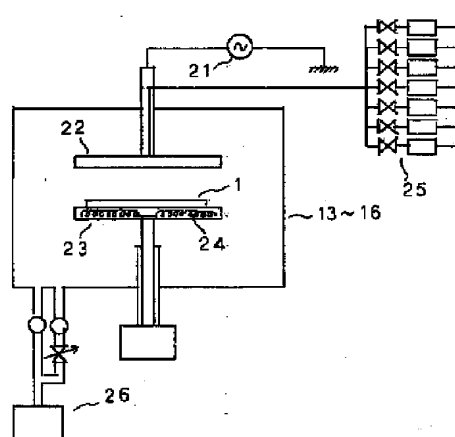
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.⁶

H 0 1 L 29/786

21/336

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 Y